

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-138350

(P2000-138350A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 0 1
27/108			6 2 1 Z 5 F 0 8 3
21/8242			6 5 1
21/8247		29/78	3 7 1
29/788			

審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平10-309292

(22) 出願日 平成10年10月30日 (1998. 10. 30)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 山▲崎▼ 信夫

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 石原 数也

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100103296

弁理士 小池 隆彌

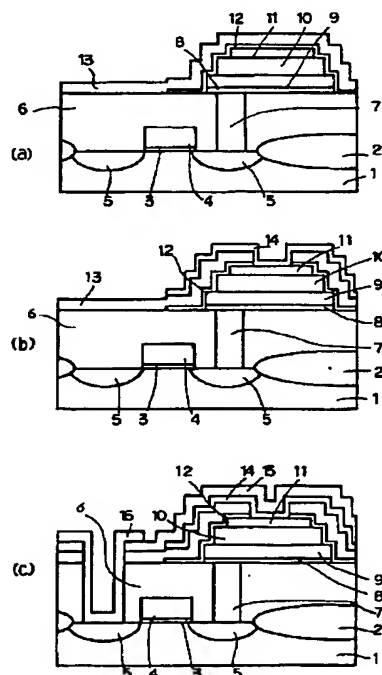
最終頁に続く

(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【要約】

【課題】 スタック型強誘電体メモリ素子において、下部電極加工後の酸素含有雰囲気中での高温熱処理が、下部電極やバリアメタル層の酸化が生じてしまうため不可能であった。そのため、不安定で信頼性の低い強誘電体メモリ素子しか得られなかった。

【解決手段】 下部電極およびバリアメタル層の加工後に酸化バリア層を形成下後に高温酸素含有雰囲気中の熱処理を行うことにより、下部電極やバリアメタル層の酸化を防ぎ、その結果剥離やヒロックの発生を抑え、良好な電気的特性と高信頼性を有する半導体記憶装置を提供することができる。



1

【特許請求の範囲】

【請求項1】 層間絶縁膜上に形成された強誘電体膜をキャパシタ絶縁膜として用いたキャパシタと、半導体基板に形成されたトランジスタとをコンタクトプラグで電氣的に接続した半導体記憶装置の製造方法において、上記層間絶縁膜上に形成された上記キャパシタの上部電極材料、上記強誘電体材料及び上記キャパシタの下部電極材料を順次パターンニングし、キャパシタ部を形成した後に、酸化バリア層を形成する工程と、上記酸化バリア層形成後に酸素含有雰囲気中でプロセス10 損傷回復のための熱処理工程とを含むことを特徴とする、半導体記憶装置の製造方法。

【請求項2】 上記酸化バリア層がチタン及びタンタルのうち少なくとも一種以上の元素の酸化膜又は窒化シリコンからなることを特徴とする請求項1記載の半導体記憶装置の製造方法。

【請求項3】 上記酸化バリア層の膜厚が250Å以上で且つ500Å以下であることを特徴とする、請求項1又は請求項2に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置の製造方法、特に電荷蓄積用キャパシタとして強誘電体キャパシタを用いた半導体記憶装置の製造方法に関するものである。

【0002】

【従来の技術】 $Pb(Zr_xTi_{1-x})O_3$ (以下、「PZT」と記す)や $SrBi_2Ta_2O_9$ (以下、「SBT」と記す)に代表される強誘電体は高い誘電率と自発分極を有することから大容量DRAMや不揮発性記憶装置への応用に向けて開発されている。強誘電体を利用した高密度の半導体記憶装置を実現するためにはスタック型メモリセルの形成が必要となる。

【0003】スタック型メモリセルとは下層の選択トランジスタと電荷蓄積用キャパシタをコンタクトプラグを介して接続する構造である。コンタクトプラグに不純物を高濃度に拡散したポリシリコン (以下、「ポリシリコンプラグ」と記す)を用いた場合、強誘電体キャパシタの下部電極に用いられる白金あるいはイリジウム、酸化イリジウム等とシリコンが反応してしまい、安定なコンタクト抵抗が得られない。そのため窒化チタン等の拡散バリア層を設け、下部電極とシリコンとの反応を抑えている。

【0004】一方、強誘電体膜はエッチング等の半導体製造プロセスを経ると、そのプロセスにより重大な損傷を被り、強誘電体特性が著しく劣化してしまう。例えばドライエッチングプロセスにおいて、基板が荷電粒子に曝される過程で様々な帯電現象が発生し、強誘電体膜の誘電特性や絶縁特性を悪化させてしまう。また洗浄等のウェットエッチングプロセスによっても強誘電体膜の誘

2

電特性や絶縁特性を劣化させてしまう。

【0005】これらのプロセスの損傷は通常、500～700℃程度の高温の酸素含有雰囲気中にて熱処理を行うことにより、初期の状態にまで回復させている。下部電極およびバリアメタル層を加工した後の断面構造を図6に示す。

【0006】図6中、21はシリコン基板、22はロコス酸化膜、23はゲート酸化膜、24はゲート電極、25はトランジスタのソース/ドレイン領域、26は第1の層間絶縁膜、27はポリシリコンプラグ、28はバリアメタルであり、例えばタンタルとシリコンの合金の窒化物(TaSiN)、29は下部電極であり、例えばイリジウム、30は強誘電体膜であるSBT膜、31は上部白金電極、32は下部電極及びバリアメタルの酸化された部分である。

【0007】このような状態で高温酸素含有雰囲気中の熱処理を行うことは、以下に述べる理由により、不可能になる。すなわち、酸素含有雰囲気中の熱処理において窒化チタンや窒化タンタル、窒化タングステン、TaSiNやチタンとシリコンの合金の窒化物(TiSiN)等のバリアメタルやイリジウム等の下部電極は容易に酸化されてしまう(図6の符号32に示す部分)。従って下部電極29やバリアメタル28が露出した状態で熱処理を行うと容易に酸化され、体積膨張や凝集を生じ、ヒロックや剥離あるいはコンタクトプラグと下部電極の電氣的な導通が損なわれてしまうため酸素含有雰囲気中での熱処理は不可能となるのである。

【0008】この問題を回避するため従来は窒素といった不活性ガス雰囲気中での熱処理が行われていた。

【0009】

【発明が解決しようとする課題】しかしながら、不活性ガス雰囲気中での熱処理ではキャパシタは十分には回復されない。そのため得られる強誘電体キャパシタの電氣的な特性は悪く、かつ不安定な挙動を示し、結果的に歩留まりが低下してしまう。良好な電氣的特性と高信頼性を有する強誘電体キャパシタを得ためには、下部電極およびバリアメタルの酸化による体積膨張や凝集を生じさせることなく、高温酸素含有雰囲気中の熱処理を行わなければならない。

【0010】本発明は上記課題に鑑みてなされたもので、その目的は下部電極加工後、酸化バリア層形成後に酸素含有雰囲気中の高温熱処理を行い、体積膨張や剥離を防ぎ、良好な電氣特性と高信頼性を有する強誘電体キャパシタを得ることにある。

【0011】

【課題を解決するための手段】請求項1に記載の本発明の半導体記憶装置の製造方法は、層間絶縁膜上に形成された強誘電体膜をキャパシタ絶縁膜として用いたキャパシタと、半導体基板に形成されたトランジスタとをコンタクトプラグで電氣的に接続した半導体記憶装置の製造

3

方法において、上記層間絶縁膜上に形成された上記キャパシタの上部電極材料、上記強誘電体材料及び上記キャパシタの下部電極材料を順次パターニングし、キャパシタ部を形成した後に、酸化バリア層を形成する工程と、上記酸化バリア層形成後に酸素含有雰囲気中でプロセス損傷回復のための熱処理工程とを含むことを特徴とするものである。

【0012】また、請求項2に記載の本発明の半導体記憶装置の製造方法は、上記酸化バリア層がチタン及びタンタルのうち少なくとも一種以上の元素の酸化膜又は酸化シリコンからなることを特徴とする請求項1記載の半導体記憶装置の製造方法である。

【0013】更に、請求項3に記載の本発明の半導体記憶装置の製造方法は、上記酸化バリア層の膜厚が250Å以上で且つ500Å以下であることを特徴とする、請求項1又は請求項2に記載の半導体記憶装置の製造方法である。

【0014】

【発明の実施の形態】以下、実施の形態に基づいて本発明について詳細に説明する。

【0015】図1乃至図3は本発明の第1の実施例の半導体記憶装置の製造工程図であり、図1乃至図3において、1はシリコン基板、2はロコス酸化膜、3はゲート酸化膜、4はゲート電極、5はソース／ドレイン領域、6は第1の層間絶縁膜、7はポリシリコンプラグ、8はバリアメタル層としてのTaSiN膜、9はキャパシタの下部電極としてのイリジウム膜、10は強誘電体膜としてのSBT膜、11はキャパシタの上部電極としての白金膜、12は酸化バリア層としての酸化チタン膜、13は第2の層間絶縁膜、14はドライラインとして白金膜、15は第3の層間絶縁膜、16はアルミ配線を示す。

【0016】本発明における強誘電体キャパシタを有する半導体記憶装置に用いる基板は通常の半導体装置や集積回路等の基板として使用することができる基板であれば特に限定されるものではないが、シリコン基板が望ましい。

【0017】(第1の実施例) 以下に図1乃至図3を用いて本発明の第1の実施例の強誘電体キャパシタを有する半導体記憶装置の製造工程を説明する。

【0018】まず、P型シリコン基板1に素子分離のためのロコス酸化膜2を6000Å形成した。次にシリコン基板1の表面を酸化してゲート酸化膜3を形成し(図1(a))、その上に不純物が注入されたポリシリコンからなるゲート電極4を形成し、さらにイオン注入によりソース／ドレイン領域5を形成した(図1(b))。

【0019】次に、シリコン基板1の全面に第1の層間絶縁膜6としてCVD法にてシリコン酸化膜を形成した。次に、下層のトランジスタのドレイン領域にコンタクトホールを開孔し、不純物を拡散したポリシリコン7

4

を埋め込んだ後、公知のCMP (Chemical Mechanical Polishing) 法により、層間絶縁膜6とポリシリコン7表面を平坦化し、コンタクトホール内にポリシリコンプラグ7を形成した(図1(c))。

【0020】このポリシリコンプラグ7上にバリアメタル層としてTaSiN膜8をDCマグネトロンスパッタ法にて1000Å形成した後、下部電極としてイリジウム膜9を同じくDCマグネトロンスパッタ法にて1500Å形成した。その後強誘電体膜としてSBT膜10を形成した。SBT膜10はMOD (Metal Organic Decomposition) 法によって形成した。すなわち、ストロンチウム、ビスマス、タンタルを含んだ有機金属溶液を、塗布・乾燥・結晶化熱処理の一連の工程を所望の厚さになるまで繰り返すことによりSBT膜10を得る手法である。

【0021】本実施例では組成比はSr:Bi:Ta=8:24:20のMOD溶液を用い、1層が500Å程度となるように塗布し、250℃、5分の乾燥を行った後、常圧酸素含有雰囲気中において675℃、60分の結晶化熱処理を行った。これら塗布から常圧酸素含有雰囲気の熱処理までの一連の工程を塗布毎に繰り返し、4回の塗布を行うことにより膜厚2000Å程度のSBT膜10を形成した。

【0022】さらに上部電極として白金膜11をDCマグネトロンスパッタ法にて1000Å形成した(図2(a))。

【0023】次に、公知のフォトリソグラフィ法とドライエッチング法を用いて上部電極となる白金膜11の加工を行った。ドライエッチングにはECR (Electron Cyclotron Resonance) エッチャーを用い、電極サイズは1.3μm角とした(図2(b))。

【0024】次に、リーク電流の抑制および酸素欠損の補充による強誘電特性の安定化を目的とした常圧酸素含有雰囲気中における675℃、60分の熱処理を行った。その後SBT層と下部電極およびバリアメタル層を同じく公知のフォトリソグラフィ法とドライエッチング法を用いて加工した。ドライエッチングには上部電極白金と同じくECRエッチャーを用いて、それぞれ2.0μm角、2.5μm角の大きさに加工した。

【0025】次に、酸化バリア層として膜厚250~500Å (好ましくは250Å) の酸化チタン膜12を形成した(図2(c))。酸化チタン膜12は反応性スパッタ法を用いて形成したが、そのときのスパッタ条件は、アルゴン流量を15sccm、酸素流量を15sccm、スパッタパワーを1.2kWとした。膜厚が250Åより薄いと後の酸素含有雰囲気での熱処理において酸素が酸化チタン膜中を拡散し、下部電極やバリアメタルを酸化させてしまうという問題点があり、また、50

5

0 Åより厚いと全体の膜厚が厚くなり好ましくないという問題点がある。

【0026】その後、酸素含有雰囲気中においてプロセス損傷回復アニールを行った。この熱処理の条件はキャパシタが受けた損傷の程度によるが、500～700℃程度の温度であればよい。今回は700℃、30分の熱処理を行った。この後、第2の層間絶縁膜13を形成する(図3(a))。この第2の層間絶縁膜13は公知のオゾンTEOS-NSGからなる。このNSGを形成後、上部電極となる白金膜上に、0.8 μmのコンタクトホールを公知のフォトリソグラフィ法とドライエッチング法にて開孔した。

【0027】次に、ドライラインとして白金膜14を堆積し、同じくフォトリソグラフィ法とドライエッチング法によって所定の形状に加工した(図3(b))。その後さらに第3の層間絶縁膜15を第2の層間絶縁膜13と同様にオゾンTEOS-NSG膜で形成した。さらにドライラインとしての白金膜14とトランジスタのソース領域へのコンタクトホールを上述と同じくフォトリソグラフィ法とドライエッチング法にて開口し、その後アルミ配線16を施した(図3(c))。

【0028】このようにして作製した強誘電体メモリ素子の強誘電体特性を図4に示す。印加電圧±3 Vで2 Pr = 8.35 μC/cm²、Ec = 42.3 kV/cmという値が得られた。次に強誘電体キャパシタのリーク電流密度を測定した。+3 Vでのリーク電流密度は、1.30 × 10⁻⁷ A/cm²という値を示した。これらの結果に対して下部電極およびバリアメタル加工後に窒素中において熱処理を行った場合、電気特性は十分に回復しておらず、とくにリーク電流では10⁻⁵ A/cm²台にまでしか回復していなかった。

【0029】尚、本実施の形態においては、酸化バリア層として酸化チタンを用いたが、下部電極及びバリアメタルの急激な酸化(酸素の拡散)を妨げる性質を持つと同時に強誘電体キャパシタ構成元素のキャパシタ外への拡散を防ぐ性質を持つものであれば、本発明はこれに限定されるものでなく、酸化タンタル等、チタン及びタンタルのうち少なくとも1種類以上の元素の酸化膜や窒化シリコンを用いることができる。

【0030】また、バリアメタル層にタンタルとシリコンの合金の窒化物(TaSiN)を用いて説明しているが、本発明はこれに限定されるものでなく、窒化タンタル(TaN)、窒化タングステン(WN)、チタンとシリコンの合金の窒化物(TiSiN)、タングステンとシリコンの合金の窒化物(WSiN)の何れにおいても、上記TaSiNとほぼ同様の効果が期待できる。

【0031】(第2の実施例)本実施例はバリアメタル層として窒化チタンを用い、酸化バリア層に窒化シリコン膜を用いた場合を示すものである。

【0032】第1の実施例と同様に公知の技術を用いて

6

ポリシリコンプラグまでを形成した後、バリアメタル層として窒化チタンをDCマグネトロンスパッタ法にて2000 Å形成した。

【0033】その後下部電極としてイリジウムを同じくDCマグネトロンスパッタ法にて1500 Å形成した。その後強誘電体層としてSBT膜を形成した。SBT膜はMOD法によって形成した。さらに上部電極として白金をDCマグネトロンスパッタ法にて1000 Å形成した。その後、公知のフォトリソグラフィ法とドライエッチング法を用いて上部電極の加工を行った後、常圧酸素含有雰囲気中における熱処理を行った。その後SBT膜、下部電極イリジウムおよびバリアメタル層を順次加工した。

【0034】次に、酸化バリア層として膜厚250～500 Åの窒化シリコン膜を形成した。窒化シリコンは反応性スパッタ法を用いて形成したが、そのときのスパッタ条件は、アルゴン流量を20 sccm、窒素流量を20 sccm、スパッタパワーを1.0 kWとして、膜厚を250～500 Å(好ましくは300 Å)とした。その後、プロセス損傷回復を目的とした熱処理を675℃、60分なる条件で行った。これ以降、第1の実施例と同様にしてアルミ配線工程まで行った。

【0035】このようにして作製した強誘電体メモリ素子の強誘電体特性を図5に示す。印加電圧±3 Vで2 Pr = 7.96 μC/cm²、Ec = 43.5 kV/cmなる値が得られた。次に強誘電体キャパシタのリーク電流密度を測定した。+3 Vでのリーク電流密度は、4.7 × 10⁻⁷ cm²であった。

【0036】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、下部電極およびバリアメタル層を酸化させることなく、高温酸素含有雰囲気中での熱処理工程を行うことが可能になるので、強誘電体膜が半導体プロセスにおいて被った損傷を回復させ、良好な電気的特性と高信頼性を有するキャパシタに強誘電体を備えた半導体記憶装置の製造が可能になる。

【0037】また、酸化バリア層にチタン又はタンタルの内、少なくとも一種類以上の元素の酸化膜或いは窒化シリコン膜を用いることにより、下部電極およびバリアメタル層が酸化されることなくプロセス損傷回復熱処理を行うことができる。

【図面の簡単な説明】

【図1】本発明における第1の実施例による半導体記憶装置の製造工程の一部断面図である。

【図2】本発明における第1の実施例による半導体記憶装置の製造工程の一部断面図である。

【図3】本発明における第1の実施例による半導体記憶装置の製造工程の一部断面図である。

【図4】本発明における第1の実施例による強誘電体キャパシタのヒステリシス特性を示す図である。

7

【図5】本発明における第2の実施例による強誘電体キャパシタのヒステリシス特性を示す図である。

【図6】従来の技術による強誘電体キャパシタにおける側壁の酸化を示す図である。

【符号の説明】

- 1 シリコン基板
- 2 ロコス酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 トランジスタのソース/ドレイン領域
- 6 第1の層間絶縁膜

8

* 7 ポリシリコンプラグ

8 TaSiN膜

9 下部電極

10 SBT膜

11 上部電極

12 酸化バリア層酸化チタン層

13 第2の層間絶縁膜

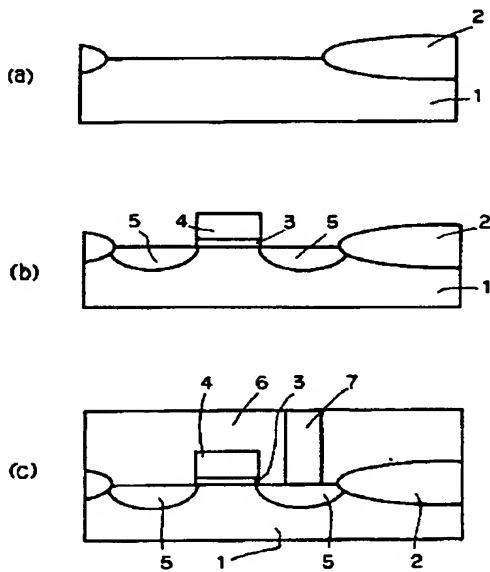
14 ドライブライン

15 第3の層間絶縁膜

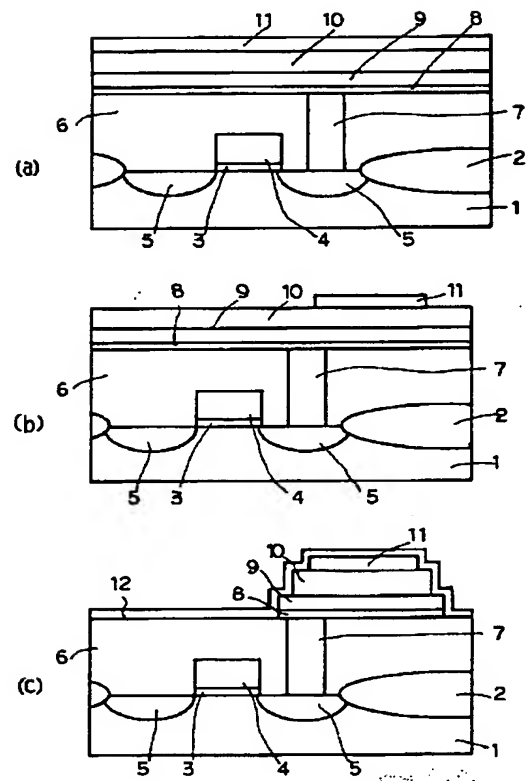
10 16 アルミ配線

*

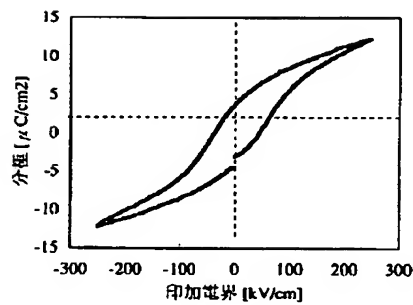
【図1】



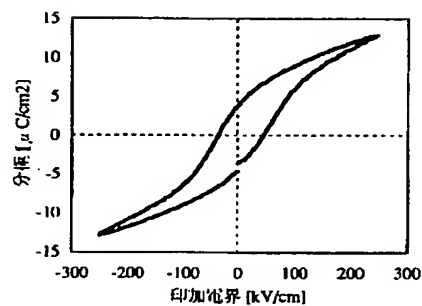
【図2】



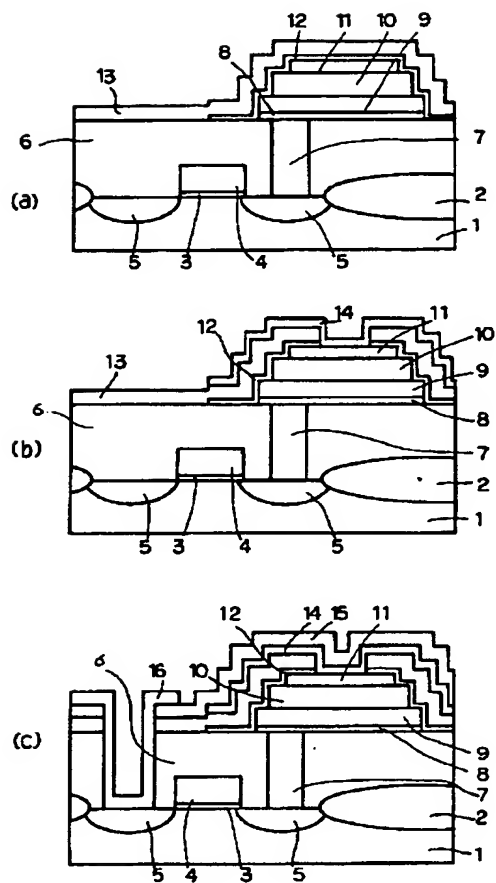
【図4】



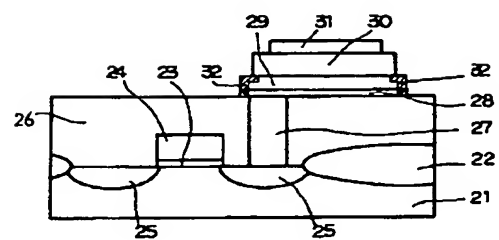
【図5】



【図3】



【図6】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テマコード (参考)

H O 1 L 29/792

Fターム (参考) 5F001 AA17 AD33 AF07 AG10
5F083 AD21 FR02 GA02 JA13 JA15
JA36 JA38 JA40 JA42 MA06
MA17 PR22 PR23 PR33 PR40